

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Liu et al.

Serial No.: Unassigned

Filed: April 14, 2004

For: **Method for Fabricating Semiconductor Memory Device**

Group Art Unit: Unassigned

Examiner: Unassigned

Docket No. 252011-2230

**CLAIM OF PRIORITY TO AND**  
**SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION**  
**PURSUANT TO 35 U.S.C. §119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Method for Fabricating Semiconductor Memory Device", filed July 9, 2003, and assigned serial number 92118678. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

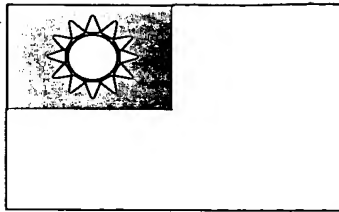
Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER  
& RISLEY, L.L.P.**

By:

  
Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750  
Atlanta, Georgia 30339  
770-933-9500



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 07 月 09 日  
Application Date

申請案號：092118678  
Application-No.

申請人：台灣積體電路製造股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 1 月 16 日  
Issue Date

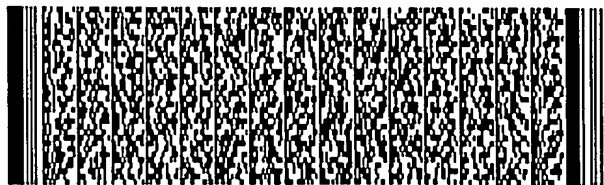
發文字號：09320052550  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	半導體記憶元件及其製造方法
	英 文	Method of fabricating a semiconductor memory
二、 發明人 (共3人)	姓 名 (中文)	1. 劉家成 2. 郭秀蘭 3. 陳志寬
	姓 名 (英文)	1. Chia-Chen Liu 2. Hsiu-Lan Kuo 3. Chih-Kuan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 新竹市澤藩路35號 2. 台中市西區公館里永城街33號 3. 新竹市埔頂路253-1號5樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或 姓 名 (英文)	1. Taiwan Semiconductor Manufacturing Co., Ltd.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區園區三路121號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 張忠謀
	代表人 (英文)	1. Chung-Mou Chang



0503\_1001STWE(NL) : TSMC2003-0253;jamngwo.ptd

四、中文發明摘要 (發明名稱：半導體記憶元件及其製造方法)

本發明提供一種半導體記憶元件的製造方法，其步驟包括：提供一基底；依序形成一導線層、一具有第一型導電層、一第一介電層及一具有第二型導電層於該基底上；沿第一方向定義該具有第二型導電層、該第一介電層、該具有第一型導電層及該導線層，其中該導線層形成一第一導線；定義該第二型導電層、該第一介電層及該具有第一型導電層，以形成一記憶胞；沉積一第二介電層覆蓋該基底，其中在沉積前包括以一氧化電漿預濺擊該基底表面；平坦化該第二介電層直至露出該記憶胞；以及沿第二方向形成一第二導線，該第二導線與記憶胞電性連結且和第一導線方向垂直。

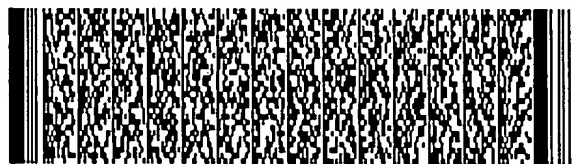
伍、(一)、本案代表圖為：第6圖

(二)、本案代表圖之元件代表符號簡單說明：

100~半導體基底；

六、英文發明摘要 (發明名稱：Method of fabricating a semiconductor memory)

A method of fabricating a semiconductor memory. Conducting line layers, a conductive layer with first type ion doping, a first dielectric layer and a conductive layer with a second type ion doped are sequentially formed on a substrate. The conducting line layers, the conductive layer with a first type ion doping, the first dielectric layer and the conductive layer with a second type



四、中文發明摘要 (發明名稱：半導體記憶元件及其製造方法)

200~ 摻雜第一型離子之複晶矽層；  
220~ 鈦矽化合物( $\text{TiSi}_2$ )/TiN層；  
240~ 摻雜第一型離子之複晶矽層；  
260~ 反熔絲層；  
280~ 摻雜第二型離子之複晶矽層；  
300~ 殘留矽；  
400~ 氧化電漿預濺擊。

六、英文發明摘要 (發明名稱：Method of fabricating a semiconductor memory)

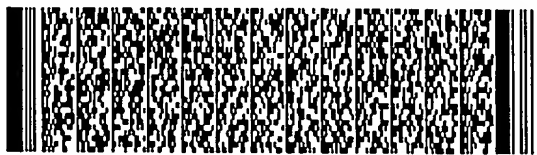
ion doping are defined along a first direction, wherein the conducting line layers are defined as a first conducting line. The conductive layer with first type ion doping, the first dielectric layer and the conductive layer with a second type ion doping are defined to form a memory cell. A blanket second dielectric layer is deposited on the substrate, wherein before the deposition of



四、中文發明摘要 (發明名稱：半導體記憶元件及其製造方法)

六、英文發明摘要 (發明名稱：Method of fabricating a semiconductor memory)

the second dielectric layer, a pre-oxygen sputtering process is exerted to bombard the substrate. The blanket second dielectric layer is polished until exposing the memory cell. A second conducting line, electrically connected to the memory cell, is formed on the second dielectric layer along the second direction, wherein the first direction and the second direction are



四、中文發明摘要 (發明名稱：半導體記憶元件及其製造方法)

六、英文發明摘要 (發明名稱：Method of fabricating a semiconductor memory)

perpendicular to each other. Thus the semiconductor memory is obtained.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。





## 五、發明說明 (1)

### [發明所屬之技術領域]

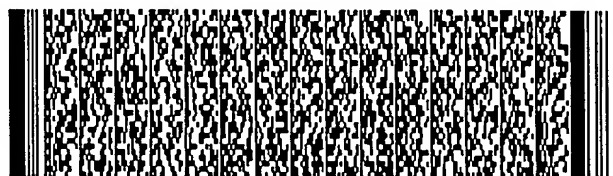
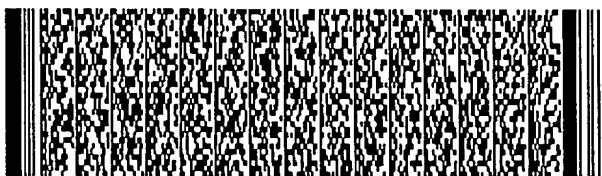
本發明係有關於一種半導體記憶元件的製造方法，特別是有關於特別有關於一種改進一次可程式唯讀記憶體(OTPROM)之製造方法。

### [先前技術]

反熔絲(anti-fuse)型記憶體元件是一種三維的記憶體元件，其記憶胞是應用一反熔絲層設在二極體的正極(P)和負極(N)之間。當反熔絲層是完好時，其正極和負極是彼此斷路，但是當反熔絲層被破壞時，其正極和負極在反熔絲層接通，也因此形成一PN二極體，且其線路設計為正極和負極的材料彼此正交。反熔絲型記憶體元件的三維結構和傳統的二微結構記憶體比較，其所需使用的矽積底面積較傳統的記憶體小。也因此，可以增加記憶體的積極度，減少單位面積的成本，此外反熔絲型記憶體元件由於具有一次燒錄(one time programmable, OTP)的特性，可在保密性上提供較佳的保護。

第1圖係顯示習知反熔絲型記憶體元件陣列之佈局配置圖，其中WL係一字元線，BL係一位元線。於字元線與位元線交結處，係以一記憶胞作電性連結。

請參閱第2至3圖，其顯示習知反熔絲型記憶體元件之字元線與記憶胞製作過程之剖面示意圖。如第2圖所示，提供一半導體基底10上，如一矽基底，其上可形成任何所需之半導體元件，此處為簡化起見，僅以一平整的基底10



## 五、發明說明 (2)

表示之。於基底10上沉積一重摻雜第一型離子之複晶矽層20，如P<sup>+</sup>複晶矽層，以作為底部複晶矽層20。其後，沉積一金屬層30，例如金屬鈦層，於重摻雜第一型離子之複晶矽層20上，並於鈦金屬層上沉積一氮化鈦層(未圖式)以作為黏和作用。接下來，使用一快速退火(RTP)製程，以使重摻雜第一型離子之複晶矽層20和鈦金屬反應形成一鈦矽化合物(TiSi<sub>2</sub>)層30。其形成之鈦矽化合物層30具有低的導電係數及良好的熱穩定性，可減少導線間的阻值。接著，再沉積一重摻雜第一型離子之複晶矽層40，如P<sup>+</sup>複晶矽層，於氮化鈦層(未圖式)上，以作為頂部複晶矽層40。

後續，進行一快速熱氧化(RTO)製程以頂部複晶矽層40上形成一反熔絲層50，例如氧化矽層。其形成的反熔絲層40係做為控制反熔絲型記憶體晶胞的主要元件。其後，於反熔絲層40上沉積一摻雜第二型離子之複晶矽層60，如N複晶矽層。

第3圖係顯示定義字元線與記憶體胞過程之剖面示意圖。首先以微影及蝕刻製程定義之前形成之摻雜第二型離子之複晶矽層60、反熔絲層50、頂部複晶矽層40、鈦矽化合物層30，及底部複晶矽層20以形成字元線。接著，再以微影及蝕刻製程定義摻雜第二型離子之複晶矽層60、反熔絲層50、頂部複晶矽層40以形成記憶體胞。之後於導線間即記憶體胞之間，填入介電材料和後續的化學機械研磨製程以及形成位元線之製程，其係為一般習知之技藝，不在此詳加描述。



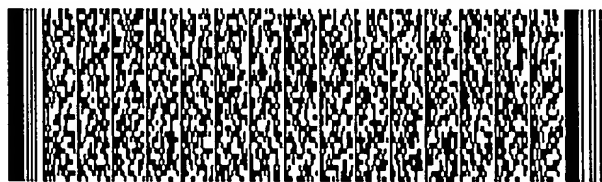
#### 五、發明說明 (3)

根據上述習知習知反熔絲型記憶體元件之製作方法，於定義摻雜第二型離子之複晶矽層60、反熔絲層50、頂部複晶矽層40以形成記憶胞。其缺點會在蝕刻頂部複晶矽層40蝕產生殘留矽70。上述殘留矽70會殘留在鈦金屬矽化物層30表面，導致記憶胞間的短路，降低製程良率。

美國專利號第6420215號有揭示一種低漏電流的記憶晶胞，其中在正極和負極的二極體間放置一反熔絲層，當反熔絲層是完好時，其正極和負極是彼此斷路，但是當反熔絲層被破壞時，其正極和負極在一小區域的反熔絲層接通，也因此形成二極體，也因為其很小區域的熔絲使其二極體具有很小的區，也因此其具相對小之漏電流。

美國專利第6525953號揭示一種三維，可程式化，非揮發性的記憶晶胞，其是藉由一自我對準的柱狀物，其中包含二極體的正極和負極元件，以及介於其中的反熔絲層，並依此柱狀物形成其記憶體晶胞，其運作原理亦是根據反熔絲層是完好和破壞與否，形成電路，並決定儲存的資料。然而由上述習知的方法，在形成二極體記憶胞之正極和負極元件皆是使用傳統之微影及蝕刻製程定義摻雜之複晶矽，因此有殘留矽的問題產生。相較於本發明，本發明於沉積一第二介電層覆蓋該基底，其中在沉積前包括以一氧化電漿預濺擊該基底表面，因而解決殘留矽造成短路的問題，而改善習知之製程良率。

發明內容：



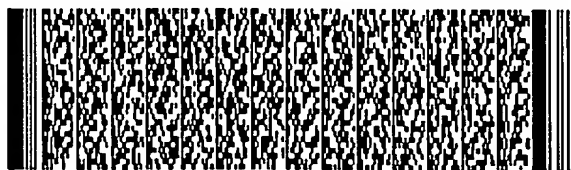
#### 五、發明說明 (4)

有鑑於此，為了解決上述問題，本發明的目的在於提供一種一次可程式唯讀記憶體(OTPROM)之製造方法。

本發明的另一目的在於提供一利用氧化電漿預濺擊製程改進一次可程式唯讀記憶體(OTPROM)之製造方法，而能夠避免矽殘留，增加製程良率。

根據上述目的，本發明提供一種半導體記憶元件的製造方法，其步驟包括：提供一基底；依序形成一導線層、一具有第一型導電層、一第一介電層及一具有第二型導電層於該基底上；沿第一方向定義該具有第二型導電層、該第一介電層、該具有第一型導電層及該導線層，其中該導線層形成一第一導線；定義該第二型導電層、該第一介電層及該具有第一型導電層，以形成一記憶胞；沉積一第二介電層覆蓋該基底，其中在沉積前包括以一氧化電漿預濺擊該基底表面；平坦化該第二介電層直至露出該記憶胞；以及沿第二方向形成一第二導線，該第二導線與記憶胞電性連結且和第一導線方向垂直。

根據上述目的，本發明另提供一種半導體記憶元件的製造方法，其步驟包括：一種半導體記憶元件，其包括：一半導體基底；一第一導線，形成該半導體基底上並沿第一方向延伸，該第一導線表面無矽殘留；一記憶胞，形成於該第一導電線上；一第二導電線，形成於該記憶胞上並且與該記憶胞電性相連，該第二導電線沿第二方向沿伸，且該第一和第二方向垂直；以及一第二介電層，設置於該第一導線與第二導電結構之間以作絕緣；其中，該第一導線



## 五、發明說明 (5)

係經過一氧化電漿預濺擊該第一導線表面，使其表面無矽殘留。

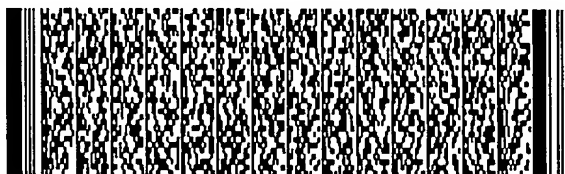
根據上述目的，本發明亦提供一種半導體記憶元件，其包括：一半導體基底；一第一導線，形成該半導體基底上並沿第一方向延伸，該第一導線表面無矽殘留；一記憶胞，形成於該第一導電線上；一第二導電線，形成於該記憶胞上並與該記憶胞電性相連，該第二導電線沿第二方向沿伸，且該第一和第二方向垂直；以及一第二介電層，設置於該第一導線與第二導電結構之間以作絕緣；其中，該第一導線係經過一氧化電漿預濺擊該第一導線表面，使其表面無矽殘留。

以下配合圖式以及較佳實施例，以更詳細地說明本發明。

### 實施方式：

以下利用第4圖至第8圖來說明本發明之一種半導體記憶元件的製造方法之實施例的製程剖面圖。

首先，如第4圖所示，提供一半導體基底100，如矽基底，其上可形成任何所需之元件，例如金氧半元件、接觸插栓及導線等，此處為簡化起見，僅以一平整的基底100表示之。接著形成一導線層，包括一底部複晶矽層200及一氮化鈦/鈦矽化合物( $\text{TiSi}_2$ )層220。其方法係於基底100上以傳統之化學氣相沉積法CVD沉積一重摻雜第一型離子，例如硼離子，之複晶矽層200，表示為 $\text{P}^+$ 複晶矽層，以

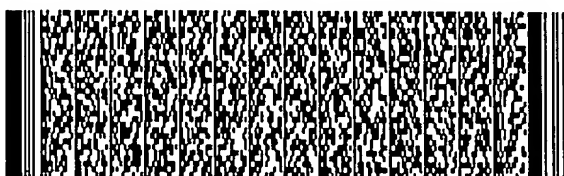


#### 五、發明說明 (6)

作為底部複晶矽層200，厚度為1500~2500埃(Å)，例如2000埃(Å)。根據本發明之一較佳實施方式，第一型離子摻雜濃度為 $>10^{19}$ 個/cm<sup>3</sup>。

其後，沉積一金屬層220，例如氮化鈦/鈦層，於重摻雜第一型離子之複晶矽層200上。其中鈦層的厚度為200~800埃(Å)，例如500埃(Å)，以及氮化鈦層的厚度為100埃(Å)以作為黏和作用。接著，使用一快速退火(RTP)製程，以使重摻雜第一型離子之複晶矽層200和氮化鈦/鈦層220反應形成一氮化鈦/鈦矽化合物(TiSi<sub>2</sub>)層220。其形成之氮化鈦/鈦矽化合物層220具有低的導電係數及良好的熱穩定性，可減少導線間的阻值。根據本發明之一較佳實施方式，其中快速加熱製程之條件為，溫度400°C~1200°C，例如675°C，通入惰性氣體，以使之之前形成的鈦金屬層220和重摻雜第一型離子之複晶矽層200反應以形成氮化鈦/鈦金屬矽化物層220，其形成的鈦金屬矽化物層220阻質為10~200  $\mu\Omega\text{-cm}$ ，具有低阻質及熱穩定的特性，此時需注意，重摻雜第一型離子之複晶矽層200需完全和鈦金屬層220反應，形成鈦金屬矽化物層220以減少阻質。

接著，再以傳統之化學氣相沉積法CVD沉積一重摻雜第一型離子，例如硼離子，之複晶矽層240，表示為P<sup>+</sup>複晶矽層，於氮化鈦層(未圖式)上，以作為頂部複晶矽層240，厚度為400~600埃(Å)，例如500埃(Å)。根據本發明之一較佳實施方式，第一型離子摻雜濃度為 $>10^{19}$ 個/cm<sup>3</sup>。



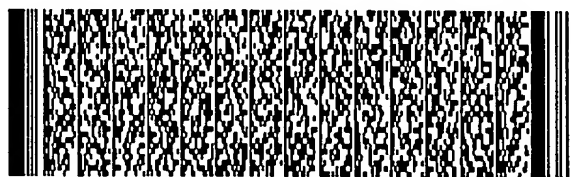
## 五、發明說明 (7)

後續，進行一快速熱氧化(RTO)製程以頂部複晶矽層240上形成一反熔絲層260，例如氧化矽層。其形成的反熔絲層260係做為控制反熔絲型記憶體晶胞的主要元件。根據本發明之一較佳實施方式，上述快速熱氧化(RTO)製程，在溫度為 $400^{\circ}\text{C}$ ~ $1200^{\circ}\text{C}$ ，通入氧氣，以使其重摻雜第一型離子之複晶矽層240表面產生二氧化矽層，其二氧化矽層厚度為5~20埃( $\text{\AA}$ )，例如14.5埃( $\text{\AA}$ )。作為控制反熔絲型記憶體元件的反熔絲層260，因此二氧化矽層的品質和均勻性相當的重要。

其後，於反熔絲層260上沉積一摻雜第二型離子，如磷離子，之複晶矽層280，表示為N複晶矽層，厚度為3000~4000埃( $\text{\AA}$ )，例如3500埃( $\text{\AA}$ )。根據本發明之一較佳實施方式，第二型離子摻雜濃度為為 $10^{15}$ 個/ $\text{cm}^3$ 至 $10^{17}$ 個/ $\text{cm}^3$ 。

第5圖係顯示定義字元線WL過程之剖面示意圖，亦即第1圖中沿A-A'截面。以微影及蝕刻製程定義之前形成之摻雜第二型離子之複晶矽層280、反熔絲層260、頂部複晶矽層240、氮化鈦/鈦矽化合物層220，及底部複晶矽層200，其中氮化鈦/鈦矽化合物層220，及底部複晶矽層200構成字元線WL。

第6圖係顯示定義字元線WL之後定義記憶體胞過程之剖面示意圖，亦即第1圖中沿B-B'截面。以微影及蝕刻製程定義摻雜第二型離子之複晶矽層280、熔絲層260、頂部複晶矽層240以形成記憶體胞。接著，於沉積一第二介電層500



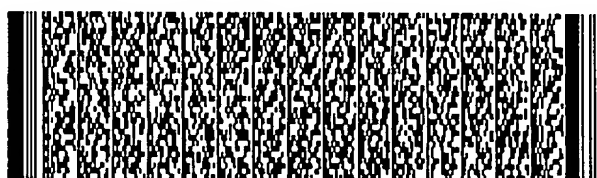
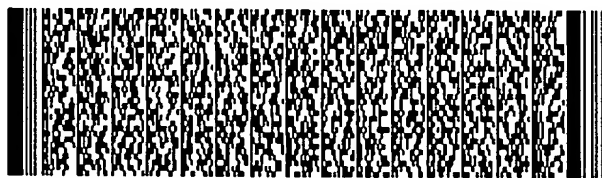
#### 五、發明說明 (8)

前，先以一氧化電漿400預濺擊整個半導體基底100，以去除殘留矽300。根據本發明之一較佳實施方式，上述氧化電漿400預濺製程條件之 $O_2$ 氣體流量為300~400 sccm，Ar氣體流量為200~250 sccm，溫度為225~275℃，功率為1000~1500 W。根據本發明另一較佳實施方式，上述氧化電漿400預濺製程條件之 $O_2$ 氣體流量為340 sccm，Ar氣體流量為240 sccm，溫度為250℃，功率為1300 W。

根據本發明之一較佳實施方式，上述氧化電漿400預濺製程除能以 $O_2$ 電漿400轟擊殘留矽300，亦能利用氧化電漿400的氧化功能將殘留矽300氧化成氧化矽，使其成為絕緣物。

第7圖係顯示於第一導線間及記憶胞填入第二介電層之剖面示意圖。在定義字元線與記憶胞後於字元線與記憶胞間填入介電材料，是以一高密度電漿(HDP)的化學氣相沉積法所形成的二氧化矽，其電漿內的離子濃度較一般的電漿激發化學氣相沉積法為濃(約 $10^{11} \sim 10^{13}$  個/ $cm^3$ )，故能利用沉積/蝕刻/沉積的方法，具有較佳的溝填能力，可填入形成導線後的間隙中，再來，以化學機械研磨法(CMP)移除多餘的介電層，並使其平坦化。

第8圖係顯示形成位元線BL之剖面示意圖。接著，於基底100上以傳統之化學氣相沉積法CVD沉積一重摻雜第二型離子，例如磷離子，之複晶矽層600，表示為 $N^+$ 複晶矽層，以作為底部複晶矽層600，厚度為1500~2500 埃(Å)，例如2000 埃(Å)。根據本發明之一較佳實施方式，第二型





## 五、發明說明 (9)

離子摻雜濃度為 $>10^{19}$  個/ $\text{cm}^3$ 。

其後，沉積一金屬層620，例如氮化鈦/鈦層，於重摻雜第一型離子之複晶矽層600上。其中鈦層的厚度為200~800 埃( $\text{\AA}$ )，例如500 埃( $\text{\AA}$ )，以及氮化鈦層的厚度為100 埃( $\text{\AA}$ )以作為黏和作用。接著，使用一快速退火(RTP)製程，以使重摻雜第一型離子之複晶矽層600和氮化鈦/鈦層620反應形成一氮化鈦/鈦矽化合物( $\text{TiSi}_2$ )層620。其形成之鈦矽化合物層620具有低的導電係數及良好的熱穩定性，可減少導線間的阻值。根據本發明之一較佳實施方式，其中快速加熱製程之條件為，溫度 $400^\circ\text{C}$ ~ $1200^\circ\text{C}$ ，例如 $675^\circ\text{C}$ ，通入惰性氣體，以使之之前形成的氮化鈦/鈦層620和重摻雜第一型離子之複晶矽層600反應以形成氮化鈦/鈦金屬矽化物層620，其形成的鈦金屬矽化物層620阻質為 $10\sim 200\ \mu\Omega\text{-cm}$ ，具有低阻質及熱穩定的特性，此時需注意，重摻雜第一型離子之複晶矽層600需完全和鈦金屬層620反應，形成鈦金屬矽化物層620以減少阻質。

接著，再以傳統之化學氣相沉積法CVD沉積一重摻雜第二型離子，例如磷離子，之複晶矽層640，表示為 $\text{N}^+$ 複晶矽層，於氮化鈦/鈦金屬矽化物層620上，以作為頂部複晶矽層640，厚度為400~600 埃( $\text{\AA}$ )，例如500 埃( $\text{\AA}$ )。根據本發明之一較佳實施方式，第二型離子摻雜濃度為 $>10^{19}$  個/ $\text{cm}^3$ 。

接著，於重摻雜第二型離子之複晶矽層640上沉積一摻雜第二型離子，如磷離子，之複晶矽層660，表示為N複



## 五、發明說明 (10)

晶矽層，厚度為3000~4000 埃(Å)，例如3500 埃(Å)。根據本發明之一較佳實施方式，第二型離子摻雜濃度為為 $10^{15}$  個/ $\text{cm}^3$  至 $10^{17}$  個/ $\text{cm}^3$ 。

其後，利用微影及蝕刻製程定義之前形成之摻雜第二型離子之複晶矽層660、頂部複晶矽層640、氮化鈦/鈦矽化合物層620，及底部複晶矽層600以形成位元線BL。

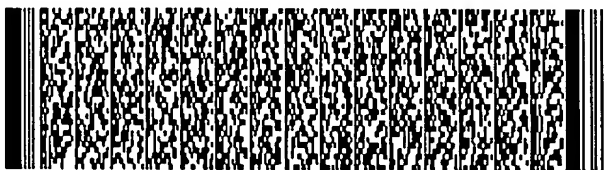
如第8圖所示，本發明提供一種半導體記憶元件，包括：一半導體基底100；一第一導線，形成該半導體基底100上並沿第一方向延伸，該第一導線表面無矽殘留300；一記憶胞，形成於該第一導電線上；一第二導電線，形成於該記憶胞上並與該記憶胞電性相連，該第二導電線沿第二方向沿伸，且該第一和第二方向垂直；以及一第二介電層500，設置於該第一導線與第二導電結構之間以作絕緣；其中，該第一導線係經過一氧化電漿預濺擊該第一導線表面，使其表面無矽殘留。

### [ 本案特徵及效果 ]

本發明之特徵與效果在於：

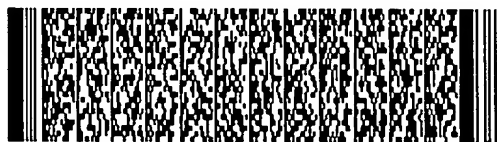
沉積一第二介電層覆蓋該基底，其中在沉積前包括以一氧化電漿預濺擊該基底表面。

因此，上述氧化電漿預濺製程除能以 $\text{O}_2$  電漿轟擊殘留矽，亦能利用氧化電漿的氧化功能將殘留矽氧化成氧化矽，使其成為絕緣物。因而解決殘留矽造成短路的問題，而改善習知之製程良率。



#### 五、發明說明 (11)

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖係顯示習知半導體記憶體元件陣列之佈局配置圖；

第2~3圖係顯示習知半導體記憶體元件之字元線與記憶胞製作過程之剖面示意圖；

第4~6圖係顯示本發明半導體記憶體元件之字元線與記憶胞製作過程之剖面示意圖；

第7圖係顯示本發明於第一導線間及記憶胞填入第二介電層之剖面示意圖；以及

第8圖本發明半導體記憶體元件形成位元線之剖面示意圖。

## [符號說明]

### 習知部分(第1圖)

WL~字元線；

BL~位元線；

10~半導體基底；

20~摻雜第一型離子之複晶矽層；

30~鈦矽化合物( $\text{TiSi}_2$ )/TiN層；

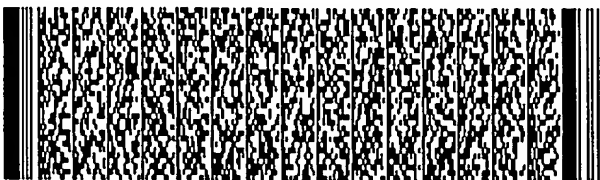
40~摻雜第一型離子之複晶矽層；

50~反熔絲層；

60~摻雜第二型離子之複晶矽層；

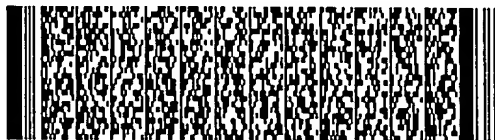
70~殘留矽。

### 本案部分(第2、3圖)



圖式簡單說明

- 100~半導體基底；
- 200~摻雜第一型離子之複晶矽層；
- 220~鈦矽化合物( $\text{TiSi}_2$ )/TiN層；
- 240~摻雜第一型離子之複晶矽層；
- 260~反熔絲層；
- 280~摻雜第二型離子之複晶矽層；
- 300~殘留矽；
- 400~氧化電漿預濺擊；
- 500~第二介電層；
- 600~摻雜第一型離子之複晶矽層；
- 620~鈦矽化合物( $\text{TiSi}_2$ )/TiN層；
- 640~摻雜第一型離子之複晶矽層；
- 660~摻雜第二型離子之複晶矽層。



## 六、申請專利範圍

1. 一種半導體記憶元件的製造方法，其步驟包括：  
提供一基底；

依序形成一導線層、一具有第一型導電層、一第一介電層及一具有第二型導電層於該基底上；

沿第一方向定義該具有第二型導電層、該第一介電層、該具有第一型導電層及該導線層，其中該導線層形成一第一導線；

定義該第二型導電層、該第一介電層及該具有第一型導電層，以形成一記憶胞；

沉積一第二介電層覆蓋該基底，其中在沉積前包括以一氧化電漿預濺擊該基底表面；

平坦化該第二介電層直至露出該記憶胞；以及

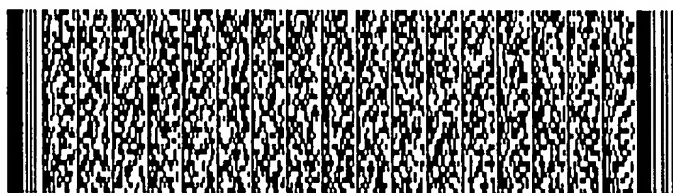
沿第二方向形成一第二導線，該第二導線與記憶胞電性連結且和第一導線方向垂直。

2. 如申請專利範圍第1項所述之半導體記憶元件的製造方法，其中該第一型離子摻雜係p型離子摻雜。

3. 如申請專利範圍第2項所述之半導體記憶元件的製造方法，其中該第一導電層包含氮化鈦/鈦矽化物/p型離子摻雜複晶矽之堆疊結構。

4. 如申請專利範圍第3項所述之半導體記憶元件的製造方法，其中該第一導線係字元線。

5. 如申請專利範圍第1項所述之半導體記憶元件的製造方法，其中該第一介電層係利用快速熱氧化所形成之氧化矽。



## 六、申請專利範圍

6. 如申請專利範圍第1項所述之半導體記憶元件的製造方法，其中該第二型離子摻雜係n型離子摻雜。

7. 如申請專利範圍第1項所述之半導體記憶元件的製造方法，其中該記憶胞之結構包含p型離子摻雜複晶矽/第一介電層/n型離子摻雜複晶矽之堆疊結構。

8. 如申請專利範圍第1項所述之半導體記憶元件的製造方法，其中該氧化電漿預濺擊製程條件之 $O_2$ 氣體流量為300~400 sccm。

9. 如申請專利範圍第8項所述之半導體記憶元件的製造方法，其中該氧化電漿預濺擊製程條件之Ar氣體流量為200~250 sccm。

10. 如申請專利範圍第8項所述之半導體記憶元件的製造方法，其中該氧化電漿預濺擊製程條件之溫度為225~275℃。

11. 如申請專利範圍第8項所述之半導體記憶元件的製造方法，其中該氧化電漿預濺擊製程條件之功率為1000~1500 W。

12. 如申請專利範圍第1項所述之半導體記憶元件的製造方法，其中該第二導電層包含n型離子摻雜複晶矽/氮化鈦/鈦矽化物/n型離子摻雜複晶矽/n型離子摻雜複晶矽之堆疊結構。

13. 如申請專利範圍第12項所述之半導體記憶元件的製造方法，其中第二導線係位元線。

14. 一種半導體記憶元件的製造方法，適用於一次可



## 六、申請專利範圍

程式唯讀記憶體(OTPRAM)之製造方法，其步驟包括：

提供一基底；

依序形成一具有p型離子摻雜複晶矽/氮化鈦/鈦矽化物/p型離子摻雜複晶矽/第一介電層/n型離子摻雜複晶矽之堆疊結構於該基底上；

沿第一方向定義上述p型離子摻雜複晶矽/氮化鈦/鈦矽化物/p型離子摻雜複晶矽/第一介電層/n型離子摻雜複晶矽結構，其中該p型離子摻雜複晶矽/氮化鈦/鈦矽化物構成一位元線；

定義該p型離子摻雜複晶矽/第一介電層/n型離子摻雜複晶矽結構，以形成一記憶胞；

沉積一第二介電層覆蓋該基底，其中在沉積前包括以一氧化電漿預濺擊該基底表面；

平坦化該第二介電層直至露出該記憶胞；以及

沿第二方向形成一具有n型離子摻雜之位元線，該位元線與記憶胞電性連結且和字元線方向垂直。

15. 如申請專利範圍第14項所述之半導體記憶元件的製造方法，其中該第一介電層係利用快速熱氧化所形成之氧化矽。

16. 如申請專利範圍第14項所述之半導體記憶元件的製造方法，其中該記憶胞之結構包含p型離子摻雜複晶矽/第一介電層/n型離子摻雜複晶矽之堆疊構。

17. 如申請專利範圍第14項所述之半導體記憶元件的製造方法，其中該氧化電漿預濺擊製程條件之 $O_2$ 氣體流量





#### 六、申請專利範圍

為300~400 sccm。

18. 如申請專利範圍第17項所述之半導體記憶元件的製造方法，其中該氧化電漿預濺擊製程條件之Ar氣體流量為200~250 sccm。

19. 如申請專利範圍第17項所述之半導體記憶元件的製造方法，其中該氧化電漿預濺擊製程條件之溫度為225~275℃。

20. 如申請專利範圍第17項所述之半導體記憶元件的製造方法，其中該氧化電漿預濺擊製程條件之功率為1000~1500 W。

21. 如申請專利範圍第14項所述之半導體記憶元件的製造方法，其中該位元線包含n型離子摻雜複晶矽/氮化鈦/鈦矽化物/n型離子摻雜複晶矽/n型離子摻雜複晶矽之堆疊結構。

22. 一種半導體記憶元件，其包括：

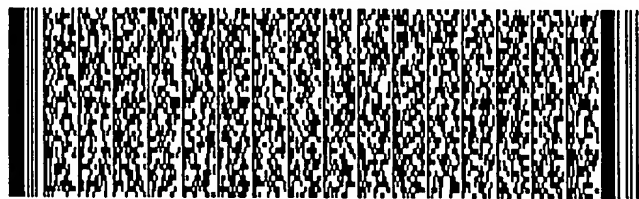
一半導體基底；

一第一導線，形成該半導體基底上並沿第一方向延伸，該第一導線表面無矽殘留；

一記憶胞，形成於該第一導電線上；

一第二導電線，形成於該記憶胞上並與該記憶胞電性相連，該第二導電線沿第二方向沿伸，且該第一和第二方向垂直；以及

一第二介電層，設置於該第一導線與第二導電結構之間以作絕緣；



## 六、申請專利範圍

其中，該第一導線係經過一氧化電漿預濺擊該第一導線表面，使其表面無矽殘留。

23. 如申請專利範圍第22項所述之半導體記憶元件，其中該第一導電結構與第二導電結構別為字元線和位元線。

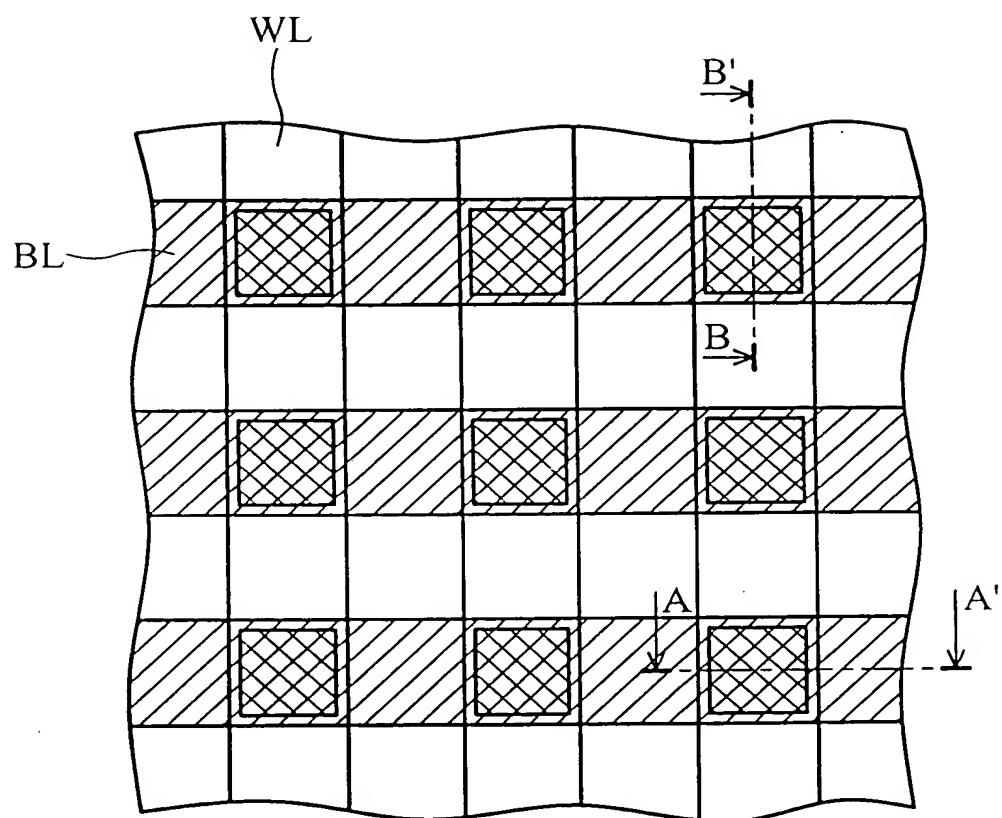
24. 如申請專利範圍第22項所述之半導體記憶元件，其中該第一導線包含氮化鈦/鈦矽化物/p型離子摻雜複晶矽之堆疊結構。

25. 如申請專利範圍第22項所述之半導體記憶元件，其中該記憶胞之結構包含p型離子摻雜複晶矽/第一介電層/n型離子摻雜複晶矽之堆疊結構。

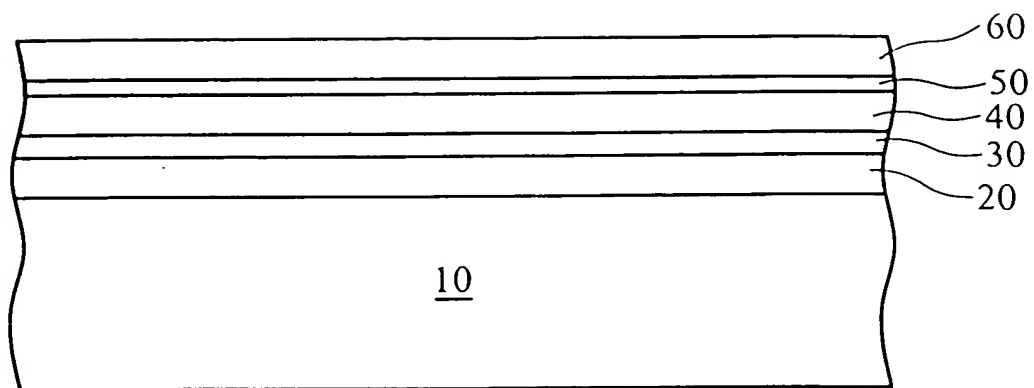
26. 如申請專利範圍第25項所述之半導體記憶元件，其中該第一介電層係利用快速熱氧化所形成之氧化矽。

27. 如申請專利範圍第22項所述之半導體記憶元件，其中該第二導電結構包含n型離子摻雜複晶矽/氮化鈦/鈦矽化物/n型離子摻雜複晶矽/n型離子摻雜複晶矽之堆疊結構。

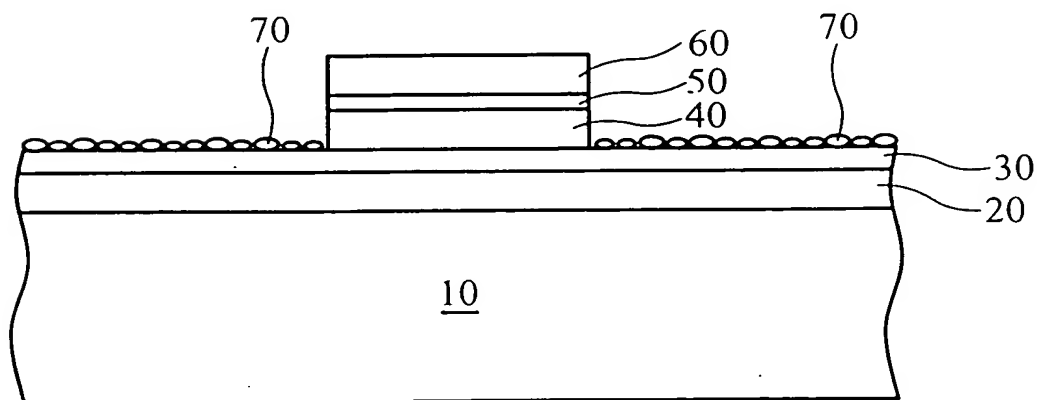




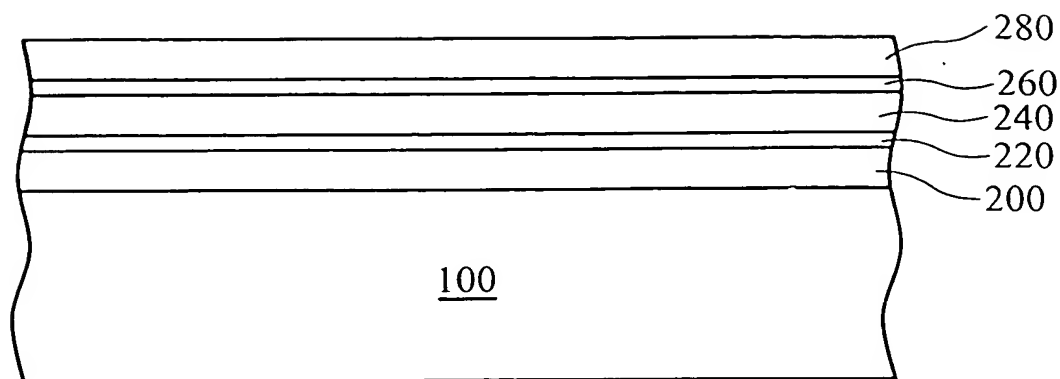
第 1 圖



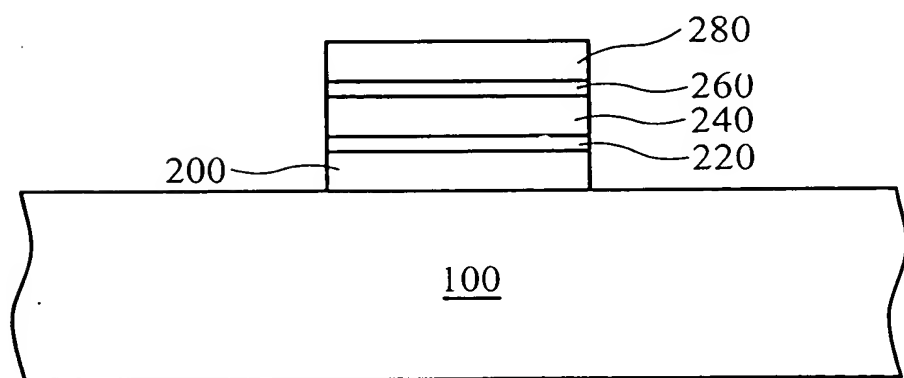
第 2 圖



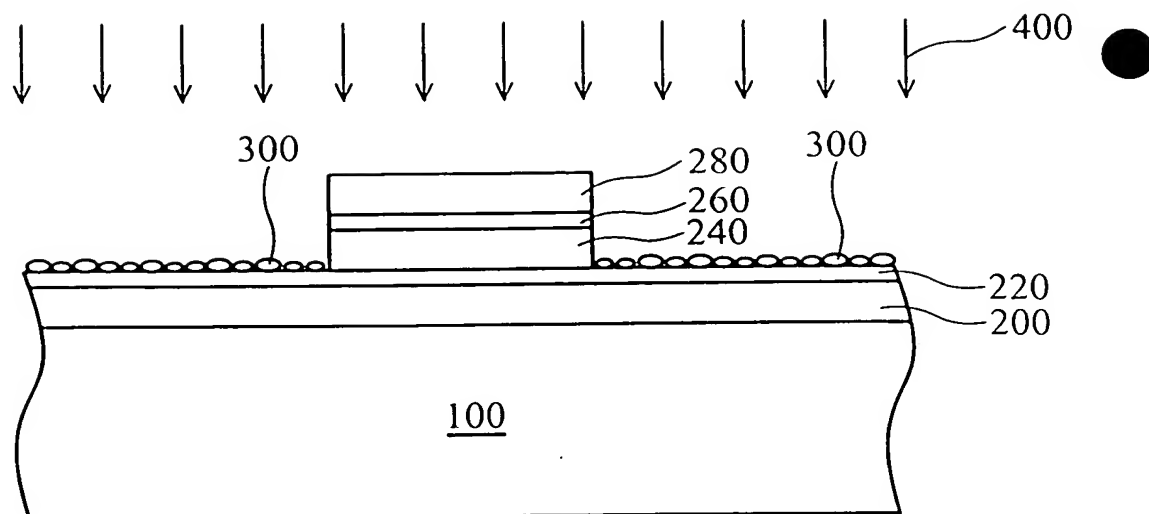
第 3 圖



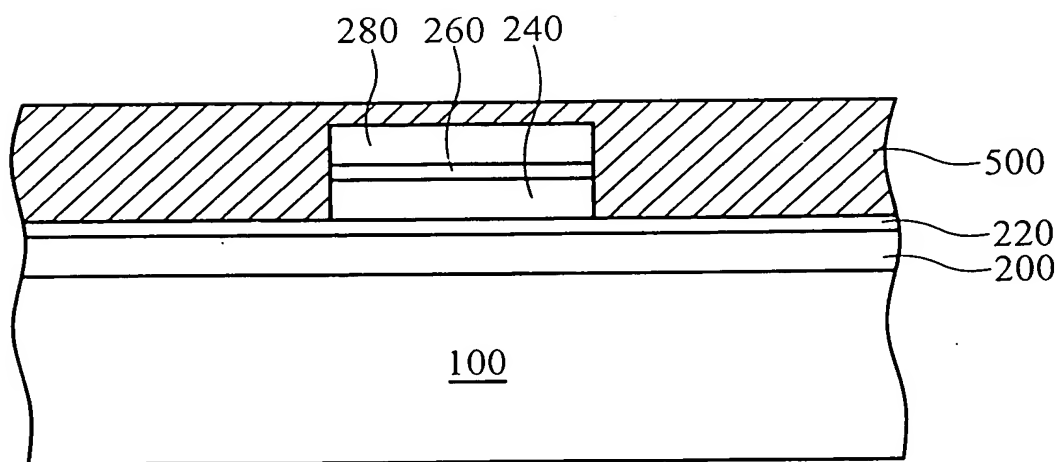
第 4 圖



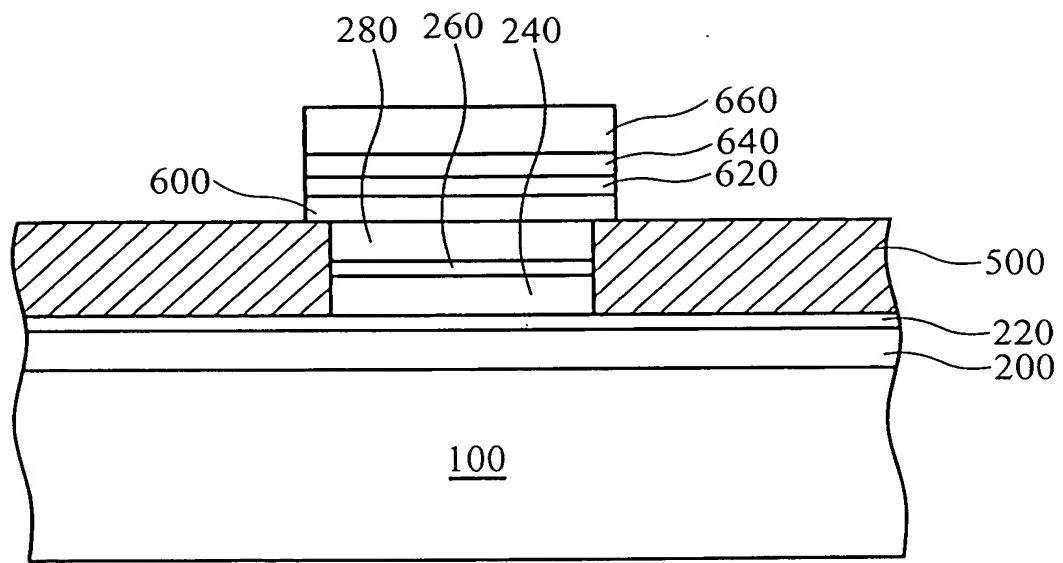
第 5 圖



第 6 圖

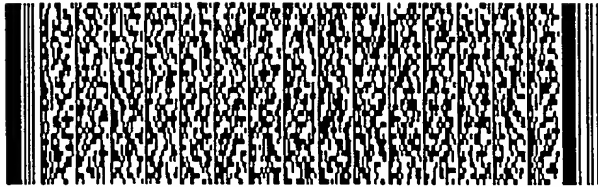


第 7 圖

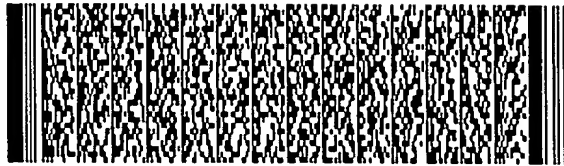


第 8 圖

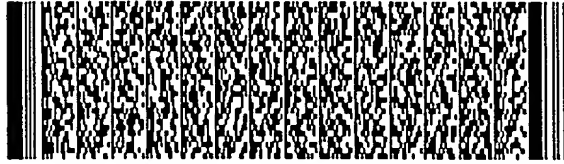
第 1/24 頁



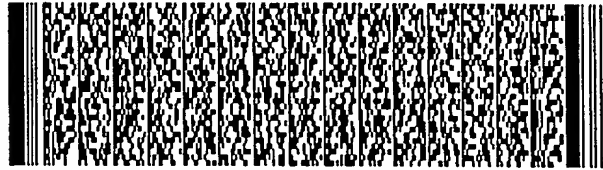
第 2/24 頁



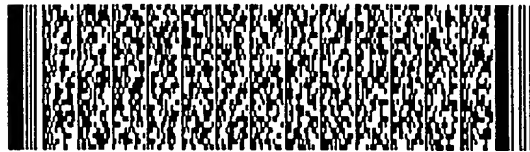
第 2/24 頁



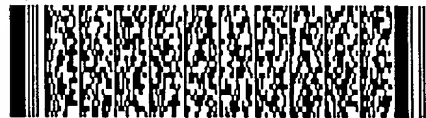
第 3/24 頁



第 4/24 頁



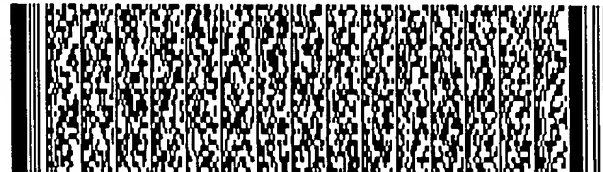
第 5/24 頁



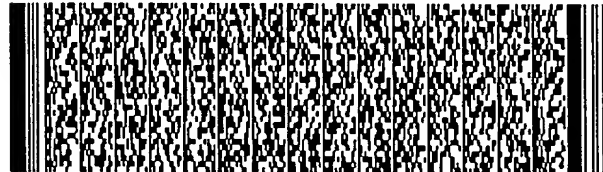
第 6/24 頁



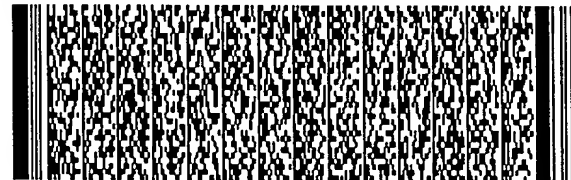
第 7/24 頁



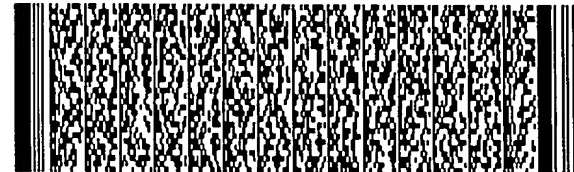
第 7/24 頁



第 8/24 頁



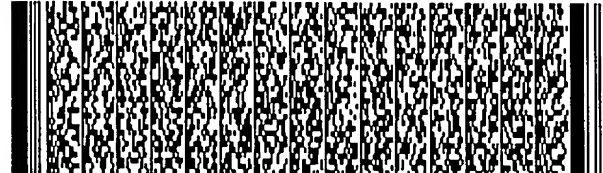
第 8/24 頁



第 9/24 頁



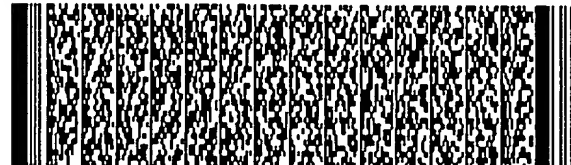
第 9/24 頁



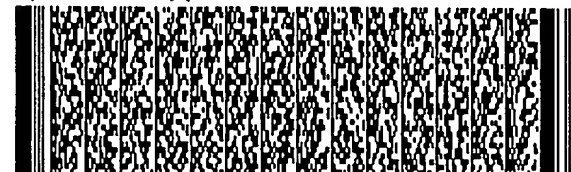
第 10/24 頁



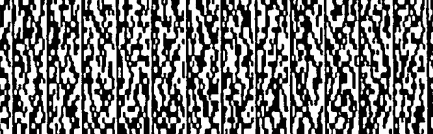
第 10/24 頁




第 11/24 頁







100




100

100



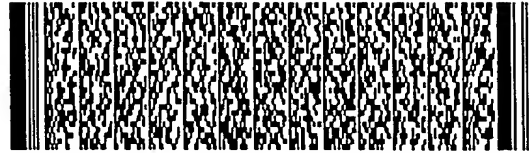
1  
 2  
 3  
 4  
 5  
 6  
 7  
 8  
 9  
 10  
 11  
 12  
 13  
 14  
 15  
 16  
 17  
 18  
 19  
 20  
 21  
 22  
 23  
 24  
 25  
 26  
 27  
 28  
 29  
 30  
 31  
 32  
 33  
 34  
 35  
 36  
 37  
 38  
 39  
 40  
 41  
 42  
 43  
 44  
 45  
 46  
 47  
 48  
 49  
 50  
 51  
 52  
 53  
 54  
 55  
 56  
 57  
 58  
 59  
 60  
 61  
 62  
 63  
 64  
 65  
 66  
 67  
 68  
 69  
 70  
 71  
 72  
 73  
 74  
 75  
 76  
 77  
 78  
 79  
 80  
 81  
 82  
 83  
 84  
 85  
 86  
 87  
 88  
 89  
 90  
 91  
 92  
 93  
 94  
 95  
 96  
 97  
 98  
 99  
 100  
 101  
 102  
 103  
 104  
 105  
 106  
 107  
 108  
 109  
 110  
 111  
 112  
 113  
 114  
 115  
 116  
 117  
 118  
 119  
 120  
 121  
 122  
 123  
 124  
 125  
 126  
 127  
 128  
 129  
 130  
 131  
 132  
 133  
 134  
 135  
 136  
 137  
 138  
 139  
 140  
 141  
 142  
 143  
 144  
 145  
 146  
 147  
 148  
 149  
 150  
 151  
 152  
 153  
 154  
 155  
 156  
 157  
 158  
 159  
 160  
 161  
 162  
 163  
 164  
 165  
 166  
 167  
 168  
 169  
 170  
 171  
 172  
 173  
 174  
 175  
 176  
 177  
 178  
 179  
 180  
 181  
 182  
 183  
 184  
 185  
 186  
 187  
 188  
 189  
 190  
 191  
 192  
 193  
 194  
 195  
 196  
 197  
 198  
 199  
 200  
 201  
 202  
 203  
 204  
 205  
 206  
 207  
 208  
 209  
 210  
 211  
 212  
 213  
 214  
 215  
 216  
 217  
 218  
 219  
 220  
 221  
 222  
 223  
 224  
 225  
 226  
 227  
 228  
 229  
 230  
 231  
 232  
 233  
 234  
 235  
 236  
 237  
 238  
 239  
 240  
 241  
 242  
 243  
 244  
 245  
 246  
 247  
 248  
 249  
 250  
 251  
 252  
 253  
 254  
 255  
 256  
 257  
 258  
 259  
 260  
 261  
 262  
 263  
 264  
 265  
 266  
 267  
 268  
 269  
 270  
 271  
 272  
 273  
 274  
 275  
 276  
 277  
 278  
 279  
 280  
 281  
 282  
 283  
 284  
 285  
 286  
 287  
 288  
 289  
 290  
 291  
 292  
 293  
 294  
 295  
 296  
 297  
 298  
 299  
 300  
 301  
 302  
 303  
 304  
 305  
 306  
 307  
 308  
 309  
 310  
 311  
 312  
 313  
 314  
 315  
 316  
 317  
 318  
 319  
 320  
 321  
 322  
 323  
 324  
 325  
 326  
 327  
 328  
 329  
 330  
 331  
 332  
 333  
 334  
 335  
 336  
 337  
 338  
 339  
 340  
 341  
 342  
 343  
 344  
 345  
 346  
 347  
 348  
 349  
 350  
 351  
 352  
 353  
 354  
 355  
 356  
 357  
 358  
 359  
 360  
 361  
 362  
 363  
 364  
 365  
 366  
 367  
 368  
 369  
 370  
 371  
 372  
 373  
 374  
 375  
 376  
 377  
 378  
 379  
 380  
 381  
 382  
 383  
 384  
 385  
 386  
 387  
 388  
 389  
 390  
 391  
 392  
 393  
 394  
 395  
 396  
 397  
 398  
 399  
 400  
 401  
 402  
 403  
 404  
 405  
 406  
 407  
 408  
 409  
 410  
 411  
 412  
 413  
 414  
 415  
 416  
 417  
 418  
 419  
 420  
 421  
 422  
 423  
 424  
 425  
 426  
 427  
 428  
 429  
 430  
 431  
 432  
 433  
 434  
 435  
 436  
 437  
 438  
 439  
 440  
 441  
 442  
 443  
 444  
 445  
 446  
 447  
 448  
 449  
 450  
 451  
 452  
 453  
 454  
 455  
 456  
 457  
 458  
 459  
 460  
 461  
 462  
 463  
 464  
 465  
 466  
 467  
 468  
 469  
 470  
 471  
 472  
 473  
 474  
 475  
 476  
 477  
 478  
 479  
 480  
 481  
 482  
 483  
 484  
 485  
 486  
 487  
 488  
 489  
 490  
 491  
 492  
 493  
 494  
 495  
 496  
 497  
 498  
 499  
 500  
 501  
 502  
 503  
 504  
 505  
 506  
 507  
 508  
 509  
 510  
 511  
 512  
 513  
 514  
 515  
 516  
 517  
 518  
 519  
 520  
 521  
 522  
 523  
 524  
 525



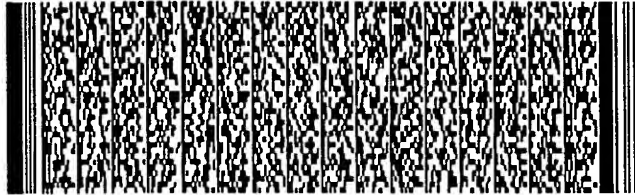
第 22/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

